

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-254862

(43)Date of publication of application : 03.10.1995

(51)Int.Cl.

H03M 13/22

H04B 14/04

H04L 1/00

(21)Application number : 06-043451

(71)Applicant : SONY CORP

(22)Date of filing : 15.03.1994

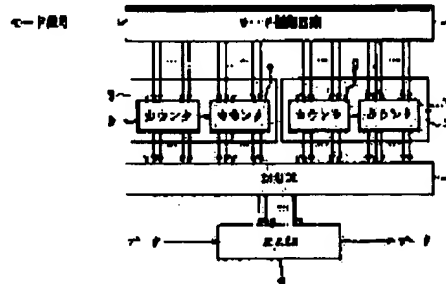
(72)Inventor : OKADA TAKAHIRO
MIYATO YOSHIKAZU

(54) INTERLEAVE CIRCUIT AND DEINTERLEAVE CIRCUIT

(57)Abstract:

PURPOSE: To interleave/deinterleave data of plural kinds of interleave formats by one circuit.

CONSTITUTION: Data to be interleaved is inputted to a RAM 9. The mode signal which includes information related to the frame length and the depth of interleave of data inputted to the RAM 9 is inputted to a mode control circuit 1. In an address generator 2 or 5, a write address or a read address to the RAM 9 is generated in accordance with the mode signal. Data is written in or read out from the RAM 9 in accordance with the write address or the read address.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Searching PAJ

페이지 2 / 2

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-254862

(43)公開日 平成7年 (1995) 10月3日

(51)Int. Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/22		8730-5 J		
H 0 4 B 14/04	F			
H 0 4 L 1/00	F			

審査請求 未請求 請求項の数 6 O L (全 11 頁)

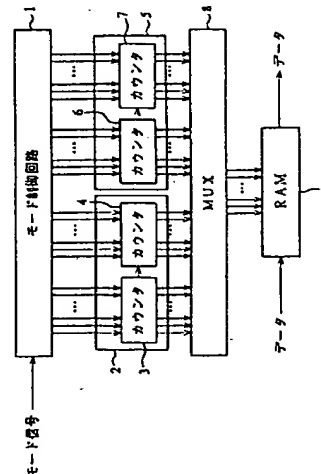
(21)出願番号	特願平6-43451	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成6年 (1994) 3月15日	(72)発明者	岡田 隆宏 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72)発明者	宮戸 良和 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74)代理人	弁理士 稲本 義雄

(54)【発明の名称】 インターリーブ回路およびディインターリーブ回路

(57)【要約】

【目的】 1つの回路で、複数種類のインターリーブフォーマットのデータのインターリーブ／ディインターリーブを行うことができるようにする。

【構成】 RAM 9 には、インターリーブするデータが入力される。一方、モード制御回路 1 には、RAM 9 に入力されたデータをインターリーブするフレーム長と深さに関する情報を含むモード信号が入力される。そして、アドレス発生器 2 または 5 において、モード信号に対応して、RAM 9 に対する書き込みアドレスまたは読み出しアドレスがそれぞれ発生される。RAM 9 では、その書き込みアドレスまたは読み出しアドレスそれぞれに対応して、データの書き込みまたは読み出しが行われる。



【特許請求の範囲】

【請求項1】 入力されたデータをインターリーブして出力するインターリーブ回路であって、

所定のモード信号に対応して、インターリーブのフレーム長または深さを変更して、前記データのインターリーブを行うことを特徴とするインターリーブ回路。

【請求項2】 前記所定のモード信号に基づいて、前記データをインターリーブするフレーム長と深さに関する情報であるインターリーブ情報を求める算出手段と、

前記データを記憶する記憶手段と、

前記インターリーブ情報に基づいて、前記記憶手段に対する書き込みアドレスおよび読み出しアドレスを発生する発生手段とを備え、

前記記憶手段は、前記書き込みアドレスが示すアドレスに、前記データを記憶するとともに、前記読み出しアドレスが示すアドレスに記憶した前記データを出力することを特徴とする請求項1に記載のインターリーブ回路。

【請求項3】 前記インターリーブ情報は、インターリーブの最大のフレーム長と前記データをインターリーブするときのフレーム長との差であるフレーム長差、およびインターリーブの最大の深さと前記データをインターリーブするときの深さとの差である深さ差であり、

前記発生手段は、

前記フレーム長差からインターリーブの最大のフレーム長までを繰り返しカウントする第1および第2のフレーム長カウント手段と、

前記深さ差からインターリーブの最大の深さまでを繰り返しカウントする第1および第2の深さカウント手段とを有し、

前記第1の深さカウント手段は、前記第1のフレーム長カウント手段が前記最大のフレーム長までをカウントするごとにカウントアップし、

前記第2のフレーム長カウント手段は、前記第2の深さカウント手段が前記最大の深さまでをカウントするごとにカウントアップし、

前記書き込みアドレスは、前記第1の深さカウント手段または第1のフレーム長カウント手段それぞれのカウント値を上位アドレスまたは下位アドレスとするものであり、

前記読み出しアドレスは、前記第2の深さカウント手段または第2のフレーム長カウント手段それぞれのカウント値を上位アドレスまたは下位アドレスとするものであることを特徴とする請求項2に記載のインターリーブ回路。

【請求項4】 入力されたデータをディインターリーブして出力するディインターリーブ回路であって、所定のモード信号に対応して、ディインターリーブのフレーム長または深さを変更して、前記データのディインターリーブを行うことを特徴とするディインターリーブ回路。

【請求項5】 前記所定のモード信号に基づいて、前記データをディインターリーブするフレーム長と深さに関する情報であるディインターリーブ情報を求める算出手段と、

前記データを記憶する記憶手段と、

前記ディインターリーブ情報に基づいて、前記記憶手段に対する書き込みアドレスおよび読み出しアドレスを発生する発生手段とを備え、

前記記憶手段は、前記書き込みアドレスが示すアドレスに、前記データを記憶するとともに、前記読み出しアドレスが示すアドレスに記憶した前記データを出力することを特徴とする請求項4に記載のディインターリーブ回路。

【請求項6】 前記ディインターリーブ情報は、ディインターリーブの最大のフレーム長と前記データをディインターリーブするときのフレーム長との差であるフレーム長差、およびディインターリーブの最大の深さと前記データをディインターリーブするときの深さとの差である深さ差であり、

前記発生手段は、

前記フレーム長差からディインターリーブの最大のフレーム長までを繰り返しカウントする第1および第2のフレーム長カウント手段と、

前記深さ差からディインターリーブの最大の深さまでを繰り返しカウントする第1および第2の深さカウント手段とを有し、

前記第1の深さカウント手段は、前記第1のフレーム長カウント手段が前記最大のフレーム長までをカウントするごとにカウントアップし、

前記第2のフレーム長カウント手段は、前記第2の深さカウント手段が前記最大の深さまでをカウントするごとにカウントアップし、

前記書き込みアドレスは、前記第2の深さカウント手段または第2のフレーム長カウント手段それぞれのカウント値を上位アドレスまたは下位アドレスとするものであり、

前記読み出しアドレスは、前記第1の深さカウント手段または第1のフレーム長カウント手段それぞれのカウント値を上位アドレスまたは下位アドレスとするものであることを特徴とする請求項5に記載のディインターリーブ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタルデータをインターリーブ、ディインターリーブするインターリーブ回路、並びにディインターリーブ回路に関する。

【0002】

【従来の技術】 例えば、デジタル情報（デジタルデータ）を送信する際には、伝送路中での誤りを考慮した

誤り訂正が行われる。この場合、誤り訂正方式として

は、例えばリードソロモン符号などのようなブロック符号で符号化する方式や、畳み込み符号を用いる方式、あるいはこれらの組み合わせた方式（例えば、ブロック符号で符号化した後、さらに畳み込み符号化するような方式など）などが、一般に用いられる。

【0003】また、デジタルデータの伝送の際には、誤りがバースト的に発生するのを防ぐため、誤り訂正の他、デジタルデータのインターリーブも行われる。

【0004】インターリーブによれば、送信側において、デジタルデータの順番を入れ換えて送信し、受信側において、その順番を元の順番に戻すことによって、伝送路で発生したバースト誤りを見かけ上、ランダム誤りとすることができるので、致命的なエラーの発生を防止することができる。

【0005】図5は、従来のインターリーブ回路の一例の構成を示している。伝送すべきデータは、RAM14に入力され、書き込みアドレスカウンタ11よりマルチプレクサ13を介して供給される書き込みアドレスにしたがって書き込まれる。いま、例えば図6に示すように、RAM14のインターリーブ用のメモリ空間のアドレスが配置されているとすると、書き込みアドレスカウンタ11は、RAM14にデータが入力されるタイミングに同期して、0, 1, ..., L-1, L, L+1, ..., (D-1) × L-1のように書き込みアドレスを1ずつインクリメントして出力するようになっている。

【0006】この結果、入力されたデータは、図7(a)に示すように横方向に順次書き込まれていき、これによりRAM14には、L個のデータでなる1行が、D個書き込まれる。このL × D個のデータのブロックは、インターリーブされるデータの1単位であり、以下、インターリーブブロックという。

【0007】インターリーブブロック内に、すべてのデータが書き込まれると、読み出しアドレスカウンタ12よりマルチプレクサ13を介して出力される読み出しアドレスにしたがって、RAM14に記憶されたデータが、図7(b)に示すように縦方向に順次読み出される。これにより、順番（時系列）が入れ換えられたデータが出力されることになる。

【0008】そして、インターリーブブロック内のデータの読み出しが完了すると、上述した場合と同様にし、次のインターリーブブロックに対するインターリーブが行われる。

【0009】なお、マルチプレクサ13は、データをRAM14に書き込むべきタイミングのときは、カウンタ11からの書き込みアドレスをRAM14に出力し、RAM14からデータを読み出すべきタイミングのときは、カウンタ12からの読み出しアドレスをRAM14に出力するようになっている。

【0010】次に、図8は、図5のインターリーブ回路

でインターリーブされたデータをディインターリーブするディインターリーブ回路の一例の構成を示している。ディインターリーブ回路では、図5に示したインターリーブ回路のRAM14と同様に構成されるRAM24に対し、インターリーブのときのデータの読み書きとは逆に読み書きが行われ、入れ換えられたデータの順番が元に戻されるようになされている。

【0011】即ち、インターリーブされたデータは、RAM24に入力され、書き込みアドレスカウンタ21よりマルチプレクサ23を介して供給される書き込みアドレスにしたがって、図9(a)に示すように縦方向に順次書き込まれる。

【0012】そして、インターリーブブロック（ディインターリーブブロック）内に、すべてのデータが書き込まれると、読み出しアドレスカウンタ22よりマルチプレクサ23を介して出力される読み出しアドレスにしたがって、RAM14に記憶されたデータが、図9(b)に示すように横方向に順次読み出され、これにより順番（時系列）が元に戻ったデータが出力されることになる。

【0013】そして、インターリーブブロック内のデータの読み出しが完了すると、上述した場合と同様にし、次のインターリーブブロックに対するディインターリーブが行われる。

【0014】なお、マルチプレクサ24は、図5に示したマルチプレクサ14と同様に、データをRAM24に書き込むべきタイミングのときは、カウンタ21からの書き込みアドレスをRAM24に出力し、RAM24からデータを読み出すべきタイミングのときは、カウンタ22からの読み出しアドレスをRAM24に出力するようになっている。

【0015】一方、データの送受信に使用される伝送路としては、大きく分けて無線と有線とがある。無線の伝送路には、例えば人工衛星（例えば、通信衛星や放送衛星など）を用いる衛星系や、地上波を用いる地上系などがある。また、有線の伝送路には、例えばケーブルを用いて伝送するケーブル系などがある。

【0016】通常、伝送路（伝送媒体）によって伝送条件が異なるため、データの送受信の際には、使用する伝送路に合わせた変調方式が用いられる。

【0017】即ち、例えば衛星系を用いた場合は、受信レベルが小さく、従って伝送誤りが生じ易いため、変調方式には、雑音に強い、例えばBPSKやQPSKなどが用いられる。これに対し、地上系やケーブル系では、衛星系に比べて搬送波対雑音比（C/N）が大きくなるので、例えば16QAMのような多値の変調方式が用いられる。

【0018】変調方式の他、誤り訂正方式やインターリーブの条件についても同様に、伝送条件に対応したもの

[0019]

【発明が解決しようとする課題】ところで、近年のメディアの多様化に伴い、例えばテレビジョン信号などのデジタル伝送については、種々の伝送路（伝送媒体）、即ち上述したような衛星回線、地上波、ケーブルなどのうちの複数を用いた配信サービスが考えられる。

【0020】しかしながら、上述したように、伝送路が異なると、変調方式、誤り訂正符号、インターリーブの条件も、通常異なるため、多様化したデジタルデータ（異なる伝送路からのデジタルデータ）を受信するためには、それぞれの方式（伝送方式）に対応した復調器が必要となる。即ち、例えば衛星系、地上系、ケーブル系の3つのサービスを受けるためには、それぞれに対応した復調回路、復号回路、およびディインターリーブ回路などが必要となる。

【0021】上述した図8のディインターリーブ回路のカウンタ21については、インターリーブフォーマット

（インターリーブブロックのフォーマット）が異なる場合、即ちインターリーブ（ディインターリーブ）のフレーム長や深さが異なる場合には、図6に示したメモリ空間の縦方向のアドレスの変化分が変わるため、各インターリーブフォーマットに対応して、カウント幅（カウント値を、インクリメントまたはデクリメントする値）が異なるものが複数必要となる。

【0022】ここで、インターリーブ（ディインターリーブ）のフレーム長とは、インターリーブブロックの横の長さLを意味し、インターリーブ（ディインターリーブ）の深さとは、インターリーブブロックの縦の長さDを意味する。

【0023】従って、ディインターリーブ回路が、大型化、複雑化する課題があった。

【0024】また、図5のインターリーブ回路についても、サービスごと（使用する伝送路ごと）にカウント幅を変えたカウンタ12を設けなければならず、量産による低コスト化が困難になる課題があった。

【0025】本発明は、このような状況に鑑みてなされたものであり、回路の大型化、複雑化を最小限に抑え、複数のインターリーブフォーマットに対応することができるようにするものである。

[0026]

【課題を解決するための手段】請求項1に記載のインターリーブ回路は、入力されたデータをインターリーブして出力するインターリーブ回路であって、所定のモード信号に対応して、インターリーブのフレーム長または深さを変更して、データのインターリーブを行うことを特徴とする。

【0027】請求項2に記載のインターリーブ回路は、所定のモード信号に基づいて、データをインターリーブするフレーム長と深さに関する情報であるインターリーブ情報を求める算出手段（例えば、図1に示すモード制

御回路1）と、データを記憶する記憶手段（例えば、図1に示すRAM9）と、インターリーブ情報に基づいて、記憶手段に対する書き込みアドレスおよび読み出しアドレスを発生する発生手段（例えば、図1に示すアドレス発生器2および5）とを備え、記憶手段が、書き込みアドレスが示すアドレスに、データを記憶するとともに、読み出しアドレスが示すアドレスに記憶したデータを出力することを特徴とする。

【0028】請求項3に記載のインターリーブ回路は、
10 インターリーブ情報が、インターリーブの最大のフレーム長とデータをインターリーブするときのフレーム長との差であるフレーム長差、およびインターリーブの最大の深さとデータをインターリーブするときの深さとの差である深さ差であり、発生手段が、フレーム長差からインターリーブの最大のフレーム長までを繰り返しカウントする第1および第2のフレーム長カウント手段（例えば、図1に示すカウンタ3および7）と、深さ差からインターリーブの最大の深さまでを繰り返しカウントする
20 第1および第2の深さカウント手段（例えば、図1に示すカウンタ4および6）とを有し、第1の深さカウント手段が、第1のフレーム長カウント手段が最大のフレーム長までをカウントするごとにカウントアップし、第2のフレーム長カウント手段が、第2の深さカウント手段が最大の深さまでをカウントするごとにカウントアップし、書き込みアドレスが、第1の深さカウント手段または第1のフレーム長カウント手段それぞれのカウント値を上位アドレスまたは下位アドレスとするものであり、読み出しアドレスが、第2の深さカウント手段または第2のフレーム長カウント手段それぞれのカウント値を上位アドレスまたは下位アドレスとするものであることを
30 特徴とする。

【0029】請求項4に記載のディインターリーブ回路は、入力されたデータをディインターリーブして出力するディインターリーブ回路であって、所定のモード信号に対応して、ディインターリーブのフレーム長または深さを変更して、データのディインターリーブを行うことを特徴とする。

【0030】請求項5に記載のディインターリーブ回路は、所定のモード信号に基づいて、データをディインターリーブするフレーム長と深さに関する情報であるディ
40 インターリーブ情報を求める算出手段（例えば、図4に示すモード制御回路101）と、データを記憶する記憶手段（例えば、図4に示すRAM109）と、ディインターリーブ情報に基づいて、記憶手段に対する書き込みアドレスおよび読み出しアドレスを発生する発生手段（例えば、図4に示すアドレス発生器102および105）とを備え、記憶手段が、書き込みアドレスが示すアドレスに、データを記憶するとともに、読み出しアドレスが示すアドレスに記憶したデータを出力することを特
50 徴とする。

【0031】請求項6に記載のディインターリーブ回路は、ディインターリーブ情報が、ディインターリーブの最大のフレーム長とデータをディインターリーブするときのフレーム長との差であるフレーム長差、およびディインターリーブの最大の深さとデータをディインターリーブするときの深さとの差である深さ差であり、発生手段が、フレーム長差からディインターリーブの最大のフレーム長までを繰り返しカウントする第1および第2のフレーム長カウント手段（例えば、図4に示すカウンタ103および107）と、深さ差からディインターリーブの最大の深さまでを繰り返しカウントする第1および第2の深さカウント手段（例えば、図4に示すカウンタ104および106）とを有し、第1の深さカウント手段が、第1のフレーム長カウント手段が最大のフレーム長までをカウントするごとにカウントアップし、第2のフレーム長カウント手段が、第2の深さカウント手段が最大の深さまでをカウントするごとにカウントアップし、書き込みアドレスが、第2の深さカウント手段または第2のフレーム長カウント手段それぞれのカウント値を上位アドレスまたは下位アドレスとするものであり、読み出しアドレスが、第1の深さカウント手段または第1のフレーム長カウント手段それぞれのカウント値を上位アドレスまたは下位アドレスとするものであることを特徴とする。

【0032】

【作用】請求項1に記載のインターリーブ回路においては、所定のモード信号に対応して、インターリーブのフレーム長または深さを変更して、データのインターリーブを行うので、回路の大型化を最小限に抑えて、複数のインターリーブフォーマットに対応することができる。

【0033】請求項2に記載のインターリーブ回路においては、所定のモード信号に基づいて、インターリーブ情報を求め、そのインターリーブ情報に基づいて、記憶手段に対する書き込みアドレスおよび読み出しアドレスを発生する。そして、記憶手段には、書き込みアドレスが示すアドレスに、データを記憶させるとともに、読み出しアドレスが示すアドレスに記憶されたデータを出力させる。従って、回路の大型化を最小限に抑えて、複数のインターリーブフォーマットに対応することができる。

【0034】請求項3に記載のインターリーブ回路においては、第1の深さカウント手段が、第1のフレーム長カウント手段が最大のフレーム長までをカウントするごとにカウントアップし、第2のフレーム長カウント手段が、第2の深さカウント手段が最大の深さまでをカウントするごとにカウントアップしながら、第1および第2のフレーム長カウント手段によって、フレーム長差からインターリーブの最大のフレーム長までが繰り返しカウントされるとともに、第1および第2の深さカウント手段によって、深さ差からインターリーブの最大の深さま

でが繰り返しカウントされる。そして、第1の深さカウント手段または第1のフレーム長カウント手段それぞれのカウント値が、書き込みアドレスの上位アドレスまたは下位アドレスとされ、第2の深さカウント手段または第2のフレーム長カウント手段それぞれのカウント値が、読み出しアドレスの上位アドレスまたは下位アドレスとされる。従って、第1および第2のフレーム長カウント手段、並びに第1および第2の深さカウント手段のカウント幅を変えずに、複数のインターリーブフォーマットに対応することができる。

【0035】請求項4に記載のディインターリーブ回路においては、所定のモード信号に対応して、ディインターリーブのフレーム長または深さを変更して、データのディインターリーブを行うので、回路の大型化を最小限に抑えて、複数のインターリーブフォーマットに対応することができる。

【0036】請求項5に記載のディインターリーブ回路においては、所定のモード信号に基づいて、ディインターリーブ情報を求め、そのディインターリーブ情報に基づいて、記憶手段に対する書き込みアドレスおよび読み出しアドレスを発生する。そして、記憶手段には、書き込みアドレスが示すアドレスに、データを記憶させるとともに、読み出しアドレスが示すアドレスに記憶されたデータを出力させる。従って、回路の大型化を最小限に抑えて、複数のインターリーブフォーマットに対応することができる。

【0037】請求項6に記載のディインターリーブ回路においては、第1の深さカウント手段が、第1のフレーム長カウント手段が最大のフレーム長までをカウントするごとにカウントアップし、第2のフレーム長カウント手段が、第2の深さカウント手段が最大の深さまでをカウントするごとにカウントアップしながら、第1および第2のフレーム長カウント手段によって、フレーム長差からインターリーブの最大のフレーム長までが繰り返しカウントされるとともに、第1および第2の深さカウント手段によって、深さ差からインターリーブの最大の深さまでが繰り返しカウントされる。そして、第2の深さカウント手段または第2のフレーム長カウント手段それぞれのカウント値が、書き込みアドレスの上位アドレスまたは下位アドレスとされ、第1の深さカウント手段または第1のフレーム長カウント手段それぞれのカウント値が、読み出しアドレスの上位アドレスまたは下位アドレスとされる。従って、第1および第2のフレーム長カウント手段、並びに第1および第2の深さカウント手段のカウント幅を変えずに、複数のインターリーブフォーマットに対応することができる。

【0038】

【実施例】図1は、本発明のインターリーブ回路の一実施例の構成を示すブロック図である。このインターリーブ回路においては、RAM9にインターリーブすべきデ

ータが入力され、RAM9において、前述した図7に示すようなデータの書き込み、および読み出しが行われることにより、データがインターリーブされるようになっている。なお、RAM9には、次に述べるLMAX×DMAXのデータの記憶容量を有するものが用いられる。

【0039】RAM9にデータが供給されると同時に、あるいはデータが供給される前に、モード制御回路1には、図示せぬ回路からモード信号が供給されるようになされている。ここで、モード信号には、RAM9に入力されるデータをインターリーブする際のフレーム長Lと深さDが含まれている。モード制御回路1は、モード信号を受信し、次式にしたがって、フレーム長の差SLまたは深さの差SDを算出する。

$$SL = LMAX - L$$

$$SD = DMAX - D$$

【0040】ここで、LMAXまたはDMAXは、それぞれ、このインターリーブ回路に対応させようとする（インターリーブさせようとする）最大のインターリーブブロックのフレーム長または深さより大きい2のべき乗の値（以下、適宜、LMAXまたはDMAXを、それぞれインターリーブの最大のフレーム長または深さという。）である。

【0041】即ち、このインターリーブ回路を、フレーム長が、最大で、例えば15のインターリーブブロックに対応することができるものとする場合には、LMAXは、例えば16 ($=2^4 > 15$) とする必要がある (32 ($=2^5$) や64 ($=2^6$) などでも良い)。また、このインターリーブ回路を、深さが、最大で、例えば24のインターリーブブロックに対応することができるものとする場合には、DMAXは、例えば32 ($=2^5 > 24$) とする必要がある (64 ($=2^6$) や128 ($=2^7$) などでも良い)。

【0042】モード制御回路1で算出されたフレーム長の差SLおよび深さの差SDは、アドレス発生器2および5によって読み出されるようになされている。

【0043】アドレス発生器2は、カウンタ3および4から構成され、またアドレス発生器5は、カウンタ6および7から構成されている。カウンタ3および7は、例えば0から最大のフレーム長LMAXまでを、そのカウント値を1ずつインクリメントしながら繰り返しカウントすることができるようになされており、またカウンタ4および6は、例えば0から最大の深さDMAXまでを、そのカウント値を1ずつインクリメントしながら繰り返しカウントすることができるようになされている。

【0044】回路の動作開始時においては、カウンタ3および7は、モード制御回路1からフレーム長の差SLを読み出し、その値に、カウント値を初期化して、カウントを開始する。また、カウンタ4および6は、モード制御回路1から深さの差DLを読み出し、その値に、カ

ウント値を初期化して、カウントを開始する。

【0045】さらに、カウンタ3, 4, 6, 7は、自身のリップルキャリ（カウント値が、LMAXまたはDMAXになった後、さらに1だけカウントアップ（インクリメント）されることにより、自身でカウントすることができない繰り上がりが生じたことを示す信号）によって、カウント値を、次のように初期化するようになされている。

【0046】即ち、カウンタ3および7は、自身にリッ
10 プルキャリが発生すると、モード制御回路1からフレ
ーム長の差SLを読み出し、その値に、カウント値を初期
化する。従って、カウンタ3および7によっては、上述
したようにフレーム長の差SLから、最大のフレーム長
LMAXまでが繰り返しカウントされることになる。

【0047】また、カウンタ4および6は、自身にリップルキャリアが発生すると、モード制御回路1から深さの差SDを読み出し、その値に、カウント値を初期化する。従って、カウンタ4および6によつては、上述したように深さの差SDから、最大の深さDMA_Xまでが繰り返しカウントされることになる。

【0048】カウンタ3は、RAM9にインターリーブすべきデータが供給されるタイミングに同期して、カウント値を1ずつインクリメントするようになされており、またカウンタ4は、カウンタ3でリップルキャリ（図において、記号Cで示す）が生じると、カウント値を1ずつインクリメントするようになされている。

【0049】カウンタ3および4のカウント値は、マルチプレクサ8に供給される。マルチプレクサ8は、データをRAM9に書き込むべきタイミングのときは、カウンタ3および4からのカウント値を、書き込みアドレスとして、RAM9に出力するようになされている。この場合、書き込みアドレスは、カウンタ3または4のカウント値を、それぞれ下位アドレスまたは上位アドレスとして構成されるようになされている。

【0050】例えば、いま、 $LMAX = DMAX = 256 (= 2^8)$ とすると、上述の書き込みアドレスによっては、図2に示すようなメモリ空間のアドレスを表現することができる。なお、図2においては、アドレスをヘキサ（16進数）で示してある。

40 【0051】•そして、この場合、インターリーブブロッ
クを、例えば253×254とすると、即ちRAM9に
入力されたデータをインターリーブする際のフレーム長
Lまたは深さDを、それぞれ253または254とする
と、フレーム長の差SLまたは深さの差SDは、それぞ
れ3(=256-253)または2(=256-25
4)となる。従って、この場合、カウンタ3では、RA
M9へのデータの入力タイミング(データの入力タイミ
ングを制御するクロック)に同期して、初期値(フレ
ーム長の差)03Hからカウントが開始され、04H、
50 . . . , 0EH, 0FH, 10H, . . . , FDH, FE

H, FFHのようにカウントが行われていく。一方、カウンタ4では、初期値(深さの差)02Hからカウントが開始されるが、上述したように、カウンタ3からリップルキャリが発生するまでは、カウント値を変化させないので、カウンタ3が03HからFFHまでをカウントする間は、02Hが、そのカウント値として出力される。

【0052】よって、この場合、RAM9には、カウンタ3または4それぞれのカウント値を下位アドレスまたは上位アドレスとした、図2において四角で囲んだメモリ空間の最上行のアドレス0203H, 0204H, . . . , 020EH, 020FH, 0210H, . . . , 02FDH, 02FEH, 02FFHが、書き込みアドレスとして順次与えられることになる。

【0053】その後、カウンタ3において、カウント値FFHからのカウントアップが行われると、リップルキャリが発生され、そのカウント値は、上述したようにフレーム長の差である初期値03Hとなる。また、カウンタ3でリップルキャリが発生されると、上述したように、カウンタ4は、そのカウント値を1だけインクリメントし、03Hとする。カウンタ3では、再度03Hからのカウントが行われるので、この場合、RAM9には、図2において四角で囲んだメモリ空間の2行目のアドレス0303H, 0304H, . . . , 030EH, 030FH, 0310H, . . . , 03FDH, 03FEH, 03FFHが、書き込みアドレスとして順次与えられることになる。

【0054】以下、同様にして、RAM9には、図2において四角で囲んだメモリ空間の最下行のアドレスFF03H, FF04H, . . . , FF0EH, FF0FH, FF10H, . . . , FFFDH, FFFE H, FFFFHまでが、書き込みアドレスとして順次与えられる。

【0055】従って、RAM9には、入力されたデータが、図2において四角で囲んだ253×254のメモリ空間に、図7(a)に示したように横方向に順次書き込まれていき、これにより253個のデータでなる1行が、254個記憶される。即ち、253×254のインターリーブブロックのデータが記憶される。

【0056】なお、カウンタ4において、そのカウント値がFFHになり、このFFHからのカウントアップが行われると、リップルキャリが発生される。カウンタ4でリップルキャリが発生すると、そのカウント値は、上述したように深さの差である02Hとなり、これにより次のインターリーブブロックに対する書き込みアドレスが発生されることになる。

【0057】以上のようにして、1つのインターリーブブロック、即ちこの場合には、253×254のデータが書き込まれると、マルチプレクサ8は、アドレス発生器5のカウンタ6および7のカウント値を、読み出しア

ドレスとしてRAM9に出力する。この場合、読み出しアドレスは、カウンタ6または7のカウント値を、それぞれ上位アドレスまたは下位アドレスとして構成されるようになされている。

【0058】カウンタ6は、RAM9からインターリーブしたデータを出力すべきタイミングに同期して、カウント値を1ずつインクリメントするようになされており、またカウンタ7は、カウンタ6でリップルキャリ(図において、記号Cで示す)が生じると、カウント値を1ずつインクリメントするようになされている。

【0059】いまの場合、上述したように、フレーム長の差SLまたは深さの差SDは、それぞれ3または2であるから、カウンタ6では、RAM9からのデータの出力タイミング(データの出力タイミングを制御するクロック)に同期して、初期値(深さの差)02Hからカウントが開始され、03H, 04H, . . . , 0EH, 0FH, 10H, . . . , FDH, FEH, FFHのようにカウントが行われていく。一方、カウンタ7では、初期値(フレーム長の差)03Hからカウントが開始されるが、上述したように、カウンタ6からリップルキャリが発生するまでは、カウント値を変化させないので、カウンタ6が02HからFFHまでをカウントする間は、03Hが、そのカウント値として出力される。

【0060】よって、この場合、RAM9には、カウンタ6または7それぞれのカウント値を上位アドレスまたは下位アドレスとする、図2において四角で囲んだ、インターリーブすべき253×254のデータが書き込まれたメモリ空間の最左列のアドレス0203H, 0303H, 0403H, . . . , 0E03H, 0F03H, 1003H, . . . , FD03H, FE03H, FF03Hが、読み出しアドレスとして順次与えられることになる。

【0061】その後、カウンタ6において、カウント値FFHからのカウントアップが行われると、リップルキャリが発生され、そのカウント値は、上述したようにフレーム長の差である初期値02Hとなる。また、カウンタ6でリップルキャリが発生されると、上述したように、カウンタ7は、そのカウント値を1だけインクリメントし、04Hとする。カウンタ6では、再度02Hからのカウントが行われるので、この場合、RAM9には、図2において四角で囲んだメモリ空間の左から2列目のアドレス0204H, 0304H, 0404H, . . . , 0E04H, 0F04H, 1004H, . . . , FD04H, FE04H, FF04Hが、読み出しアドレスとして順次与えられることになる。

【0062】以下、同様にして、RAM9には、図2において四角で囲んだメモリ空間の最右列のアドレス02FFH, 03FFH, 04FFH, . . . , 0EFFH, 0FFFH, 10FFH, . . . , FDFFH, FFFFHまでが、読み出しアドレスとして

順次与えられる。

【0063】従って、RAM9からは、そこに書き込まれた、図2において四角で囲んである253×254のデータが、図7(b)に示したように縦方向に順次読み出されていき、これにより254個のデータでなる1列が、253個出力される。これにより、順番(時系列)が入れ換えられたデータ、即ちインターリーブされたデータが得られることになる。

【0064】なお、カウンタ7において、そのカウント値がFFHになり、このFFHからのカウントアップが行われると、リップルキャリが発生される。カウンタ7でリップルキャリが発生すると、そのカウント値は、上述したようにフレーム長の差である03Hとなり、これにより次のインターリーブブロックに対する読み出しアドレスが発生されることになる。

【0065】以上のようにして、RAM9の0000H乃至FFFFHのメモリ空間のうちの、02H乃至FFHを上位アドレスとし、03H乃至FFHを下位アドレスとするアドレスで表現される部分が使用されてインターリーブが行われる。

【0066】次に、図3は、RAM9に入力されるデータをインターリーブする際のフレーム長または深さを、それぞれLまたはDと表した場合の、インターリーブの様子を示している。この場合においても、上述した場合と同様にして、RAM9のメモリ空間のうちの、図中、四角で囲んであるL×Dの部分を使用してインターリーブが行われる。

【0067】以上のように、図1に示したインターリーブ回路によれば、カウンタ3および7に与える初期値としてのフレーム長の差SL、並びにカウンタ4および6に与える初期値としての深さの差SDを変えることにより、種々のインターリーブフォーマット(伝送方式)に対応することができる。即ち、モード信号を変えることにより、インターリーブブロックのフレーム長、深さを変更(選択)し、データのインターリーブを行うことができる。従って、インターリーブフォーマットごとにアドレスを与えるカウンタを設ける場合に比較して、回路構成の簡素化(回路規模の小型化)を図ることができる。

【0068】また、この場合、カウンタ3、4、6、および7がカウントするカウント値の増加量(変化量)を変えずに済むので、その制御が容易であり、回路の高コスト化を防止することができる。

【0069】次に、図4は、本発明のディインターリーブ回路の一実施例の構成を示している。このディインターリーブ回路は、上述した図1のインターリーブ回路でインターリーブされたデータの他、他の回路でインターリーブされた、種々のインターリーブフォーマットのデータもディインターリーブすることができるようになされている。即ち、このインターリーブ回路においては、RA

M109にディインターリーブすべき、いかなるインターリーブフォーマットのデータが入力されても、RAM109において、前述した図9に示すようなデータの書き込み、および読み出しが行われることにより、データがディインターリーブされるようになされている。

【0070】モード制御回路101、アドレス発生器102、105、マルチプレクサ108、またはRAM109は、図1に示したインターリーブ回路のモード制御回路1、アドレス発生器2、5、マルチプレクサ8、またはRAM9とそれぞれ同様に構成されている。アドレス発生器102を構成するカウンタ103または104は、図1のアドレス発生器2を構成するカウンタ3または4とそれぞれ同様に構成されており、またアドレス発生器105を構成するカウンタ106または107は、図1のアドレス発生器5を構成するカウンタ6または7とそれぞれ同様に構成されている。なお、モード制御回路101には、RAM109に入力されるデータをインターリーブしたときのフレーム長Lと深さDを含むモード信号が供給されるようになされている。

【0071】そして、図1の読み出しアドレスを与えるアドレス発生器5と同様に構成されるアドレス発生器105が発生するアドレスは、書き込みアドレスとして、マルチプレクサ108を介してRAM109に供給されるようになされている。さらに、図1の書き込みアドレスを与えるアドレス発生器2と同様に構成されるアドレス発生器102が発生するアドレスは、読み出しアドレスとして、マルチプレクサ108を介してRAM109に供給されるようになされている。

【0072】即ち、このディインターリーブ回路においては、図1のインターリーブ回路で書き込みアドレスまたは読み出しアドレスとして発生されるアドレスが、それぞれ読み出しアドレスまたは書き込みアドレスとして発生されるようになされている。

【0073】従って、RAM109においては、入力されたデータのインターリーブフォーマット、即ちインターリーブされたときのフレーム長Lと深さDに対応して、前述した図9(a)(図7(b))に示したようにデータの書き込みがなされた後、図9(b)(図7(a))に示したようにデータの読み出しが行われ、これにより順番(時系列)が元に戻ったデータが出力されることになる。

【0074】以上のように、このディインターリーブ回路によっても、図1のインターリーブ回路における場合と同様に、カウンタ103および107に与える初期値としてのフレーム長の差SL、並びにカウンタ104および106に与える初期値としての深さの差SDを変えることにより、種々のインターリーブフォーマット(伝送方式)に対応することができる。即ち、モード信号を変えることにより、図4に示した1つのディインターリーブ回路によって、インターリーブブロックのフレーム

長、深さを変更(選択)し、データのディインターリーブを行うことができる。従って、インターリーブフォーマットごとにアドレスを与えるカウンタを設ける場合に比較して、回路構成の簡素化(回路規模の小型化)を図ることができる。

【0075】また、この場合も、カウンタ103、104、106、および107がカウントするカウント値の増加量(変化量)を変えずに済むので、その制御が容易であり、回路の高コスト化を防止することができる。

【0076】その結果、このディインターリーブ回路を、前述した衛星系、地上系、およびケーブル系などの複数のサービスを受けるための受信装置に適用した場合には、その装置の大型化、高コスト化を防止することができる。

【0077】なお、本実施例においては、モード信号として、インターリーブブロックのフレーム長と深さを含むものを用いるようにしたが、インターリーブフォーマットは、通常、変調方式に関連して決定されることが多いので、このような場合には、変調方式とその変調方式に組み合わせて使用されるインターリーブブロックのフレーム長および深さを対応付けておくようにし、変調方式を識別することができる信号をモード信号とすることができる。この場合、モード制御回路1

(および101)では、モード信号から変調方式を識別し、さらにその変調方式に対応付けられているフレーム長または深さから、フレーム長の差または深さの差がそれぞれ算出される。

【0078】また、本実施例では、図1の回路をインターリーブ回路(図4の回路をディインターリーブ回路)として説明したが、この回路は、インターリーブおよびディインターリーブ両用の回路とすることができる。この場合、インターリーブ回路として動作させるときには、マルチプレクサ8によって、上述したようにアドレス発生器2または5が出力するアドレスそれぞれを、書き込みアドレスまたは読み出しアドレスとしてRAM9に与えるようにし、ディインターリーブ回路として動作させるときには、マルチプレクサ8によって、アドレス発生器2または5が出力するアドレスそれぞれを、読み出しアドレスまたは書き込みアドレスとしてRAM9に与えるようにすれば良い。

【0079】従って、マルチプレクサ8の動作を、上述のように切り換えるための、例えば操作部や制御信号入力端子を設けておくことにより、同一の回路を、インターリーブおよびディインターリーブの両方に使用することができるようになるので、製造コストの低減化を図ることができる。

【0080】さらに、本実施例においては、カウンタ3(103)、4(104)、6(106)、7(10

7)のカウント値を、初期値であるフレーム長の差、深さの差から1ずつインクリメントするようにしたが、例えばインターリーブブロックのフレーム長、深さから1ずつデクリメントするようにすることができる。この場合、カウント値は、0となった後、再度フレーム長あるいは深さに初期化されるようにし、このときにリップルキャリを発生させるようにすれば良い。このようにすることにより、図2や図3に示したメモリ空間のうちの、図中、四角で示した部分と点対称な部分が使用されて、インターリーブ(ディインターリーブ)が行われる。

【0081】

【発明の効果】以上の如く、本発明のインターリーブ回路およびディインターリーブ回路によれば、回路の大型化を最小限に抑えて、複数のインターリーブフォーマットに対応することができる。

【図面の簡単な説明】

【図1】本発明のインターリーブ回路の一実施例の構成を示すブロック図である。

20 【図2】図1の実施例によるインターリーブを説明する図である。

【図3】図1の実施例によるインターリーブを説明する図である。

【図4】本発明のディインターリーブ回路の一実施例の構成を示すブロック図である。

【図5】従来のインターリーブ回路の一例の構成を示すブロック図である。

【図6】図5のインターリーブ回路のRAM14のメモリ空間を示す図である。

30 【図7】インターリーブを説明する図である。

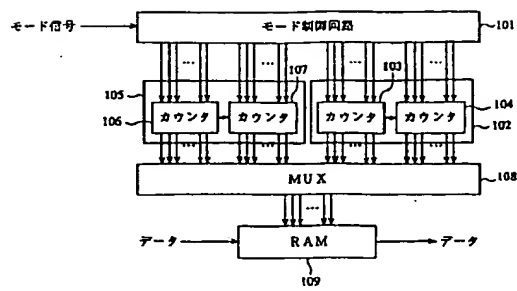
【図8】従来のディインターリーブ回路の一例の構成を示すブロック図である。

【図9】ディインターリーブを説明する図である。

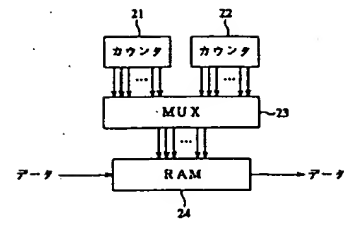
【符号の説明】

- 1 モード制御回路
- 2 アドレス発生器
- 3, 4 カウンタ
- 5 アドレス発生器
- 6, 7 カウンタ
- 40 8 マルチプレクサ
- 9 RAM
- 101 モード制御回路
- 102 アドレス発生器
- 103, 104 カウンタ
- 105 アドレス発生器
- 106, 107 カウンタ
- 108 マルチプレクサ
- 109 RAM

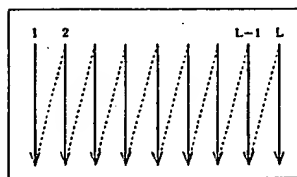
【図4】



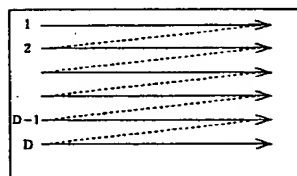
【図8】



【図9】



(a)



(b)